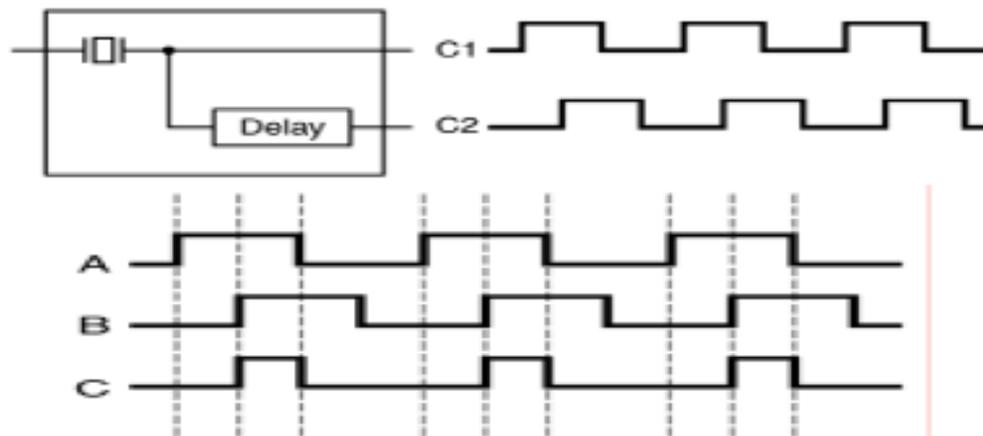




Cal Corso di Calcolatori Elettronici (per Elettronici)

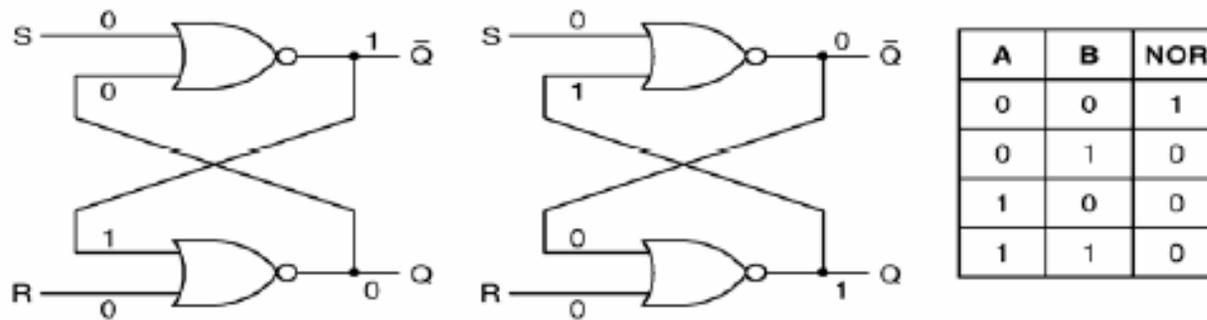
Parte V: Circuiti sequenziali

Clock



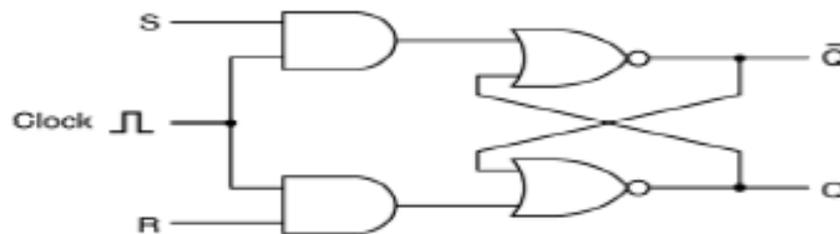
- Tutti i cambiamenti di stato vengono sincronizzati da un segnale (*clock*)
- Da un clock primario ne vengono ricavati per sfasatura, sottrazione ecc.
- Le transizioni di stato del circuito possono avvenire:
 1. In corrispondenza dei *livelli*
 2. In corrispondenza dei *fronti*

Latch

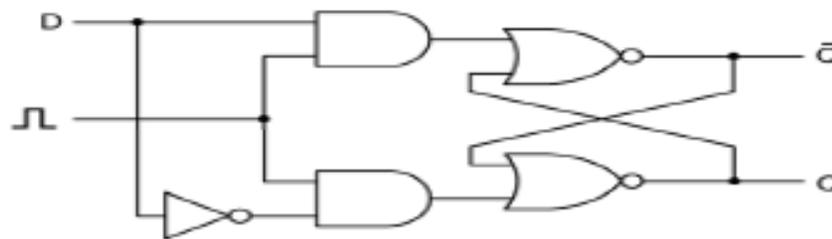


- Dispositivo di memoria elementare
- Due stati stabili $Q=0$ e $Q=1$
 - S (SET): forza Q a 1
 - R (RESET): forza Q a 0
- Con $S=R=0$ il circuito *mantiene lo stato*
- Il circuito commuta sui livelli cioè quando S o R passano a 1
- S ed R non devono mai andare insieme ad 1

Latch con clock, Latch D



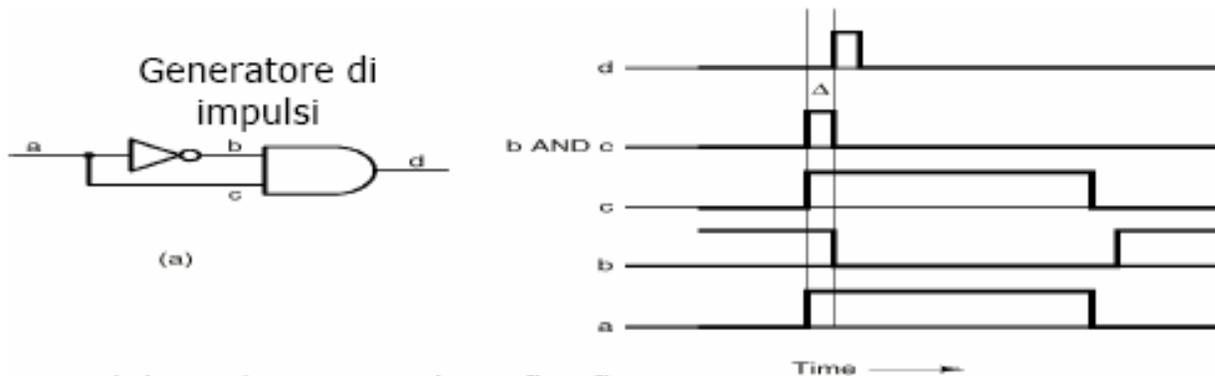
- R ed S vengono trasferiti sugli ingressi del latch solo quando il clock è ad 1
- Quando il clock è a 0 vengono ignorati



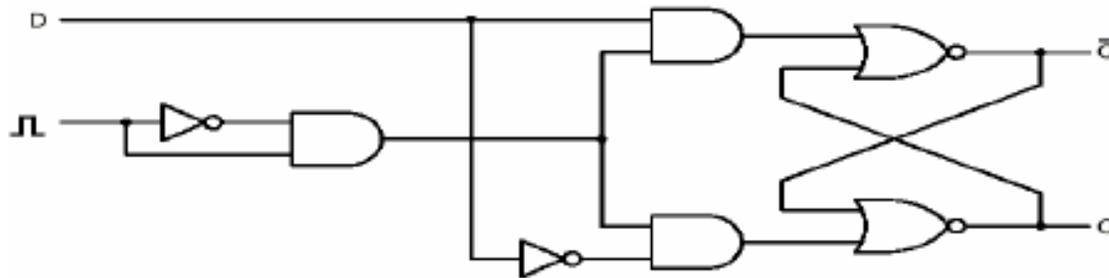
- Il **latch** D (Delay) quando il clock va ad 1 registra nello stato Q il valore dell'ingresso D

Flip-flop

Il **flip-flop** e' una variante del latch che commuta sui fronti del clock



Possibile realizzazione di un flip-flop D:



Latch e Flip-flop



a)

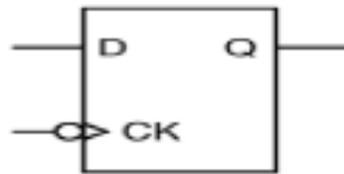


b)

I **Latch** commutano sui livelli del clock (a) alto, b) basso)



a)

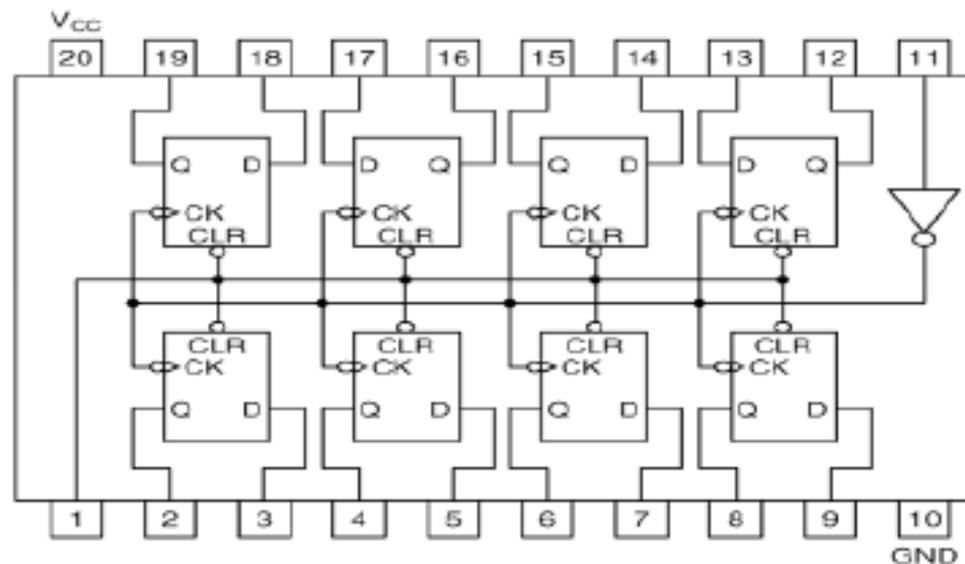


b)

I **Flip-Flop** commutano sui fronti del clock:

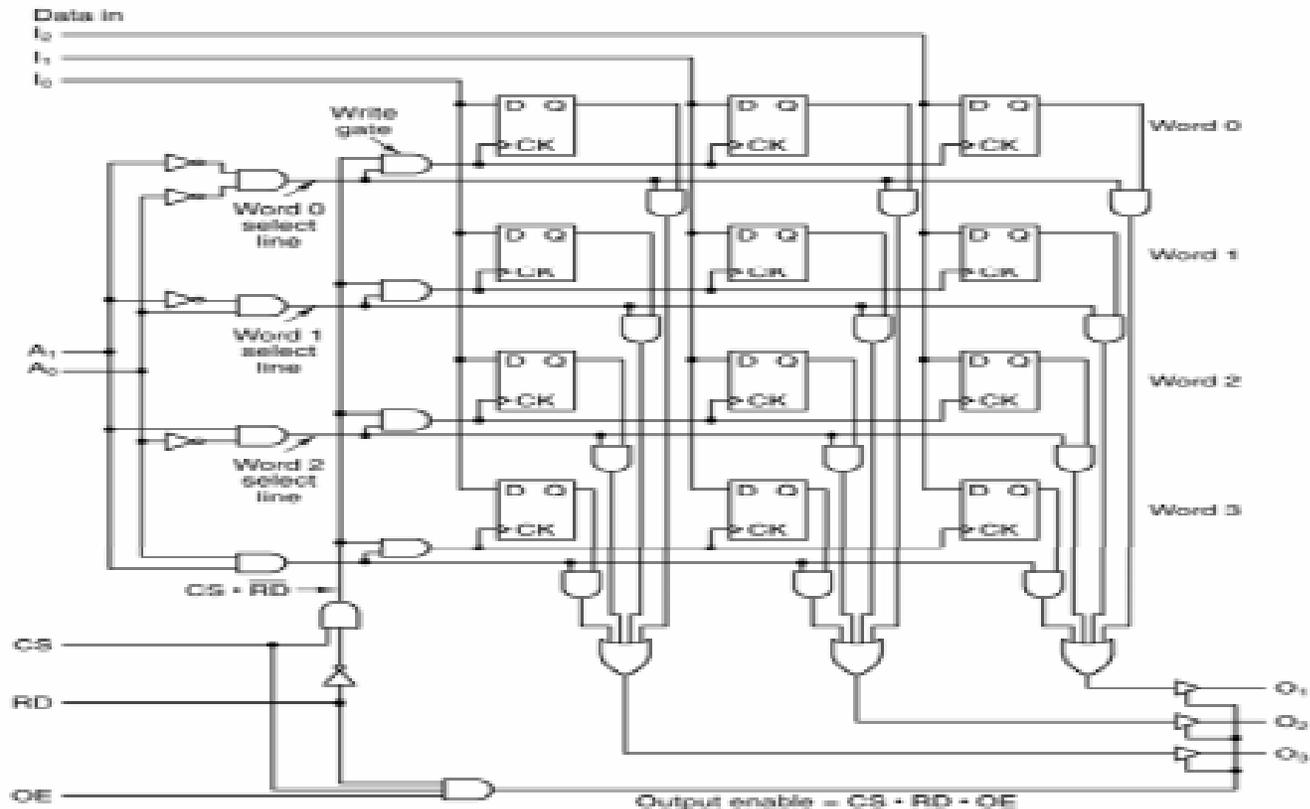
- a) Commuta sul *fronte di salita*
- b) Commuta sul *fronte di discesa*

Registri

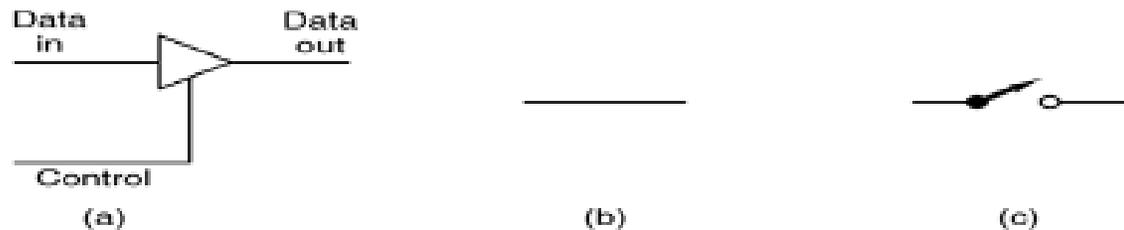


- I Flip-Flop sono gli elementi base di memorizzazione nel computer
- Molti Flip-Flop possono essere messi su un unico chip
- Occorrono in genere da 6 a 10 transistor per ogni Flip-Flop

Organizzazione della Memoria

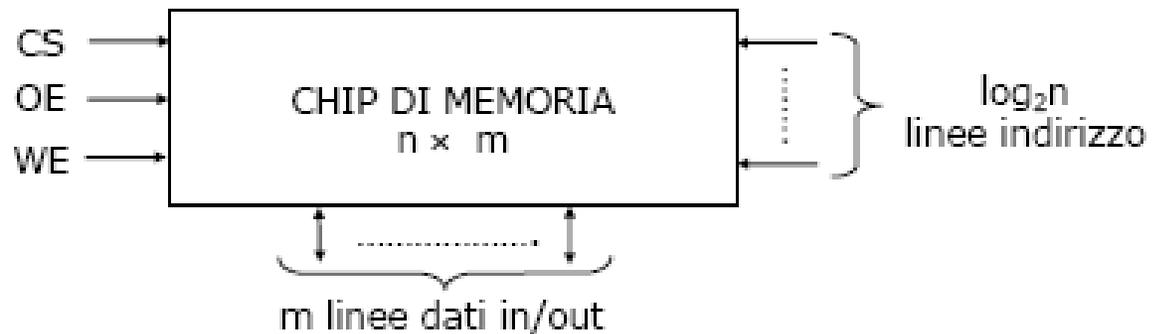


Dispositivi a 3 stati



- In base ad un segnale di controllo C si comporta:
 - $C=1$: come circuito chiuso
 - $C=0$: come circuito aperto
- Tempo di commutazione: pochi $nsec$
- Consente di usare gli stessi piedini sia per la lettura che per scrittura
- Usato anche per la connessione ai bus e a qualsiasi linea bidirezionale

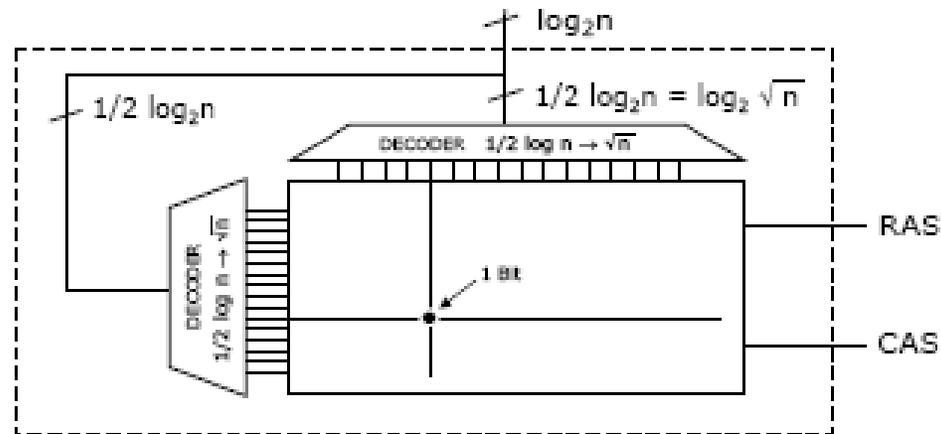
Chip di Memoria



- Chip da $n \times m$ bit complessivi (n parole da m bit)
- m linee dati bidirezionali
- $\log_2 n$ linee di indirizzo
- Segnali di controllo:
 - CS (Chip Select)
 - OE (Output Enable)
 - WE (Write Enable)

■ Problema: numero limitato di piedini del contenitore

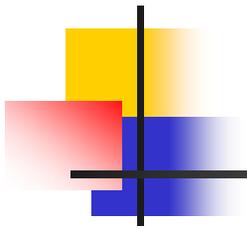
Matrice di selezione



- Si risparmia nella complessità della logica di decodifica
- Un decoder $m \rightarrow 2^m$ richiede 2^m porte AND
- RAS (Row Address Strobe), CAS (Column Address Strobe)

ES

- 4M parole da 1 bit \rightarrow 22 linee
- 1 decoder a 22 \rightarrow 4M porte AND
- 2 decoder a 11 $\rightarrow 2 \cdot 2^{11} = 4K$ porte AND



Segnali asseriti e negati

In alcuni casi (a seconda delle scelte di progetto) un segnale provoca l'azione corrispondente quando la sua tensione è alta, in altri quando è bassa

Per evitare confusione si parla di:

- Segnale asserito: quando assume il valore che provoca l'azione
- Segnale negato: altrimenti

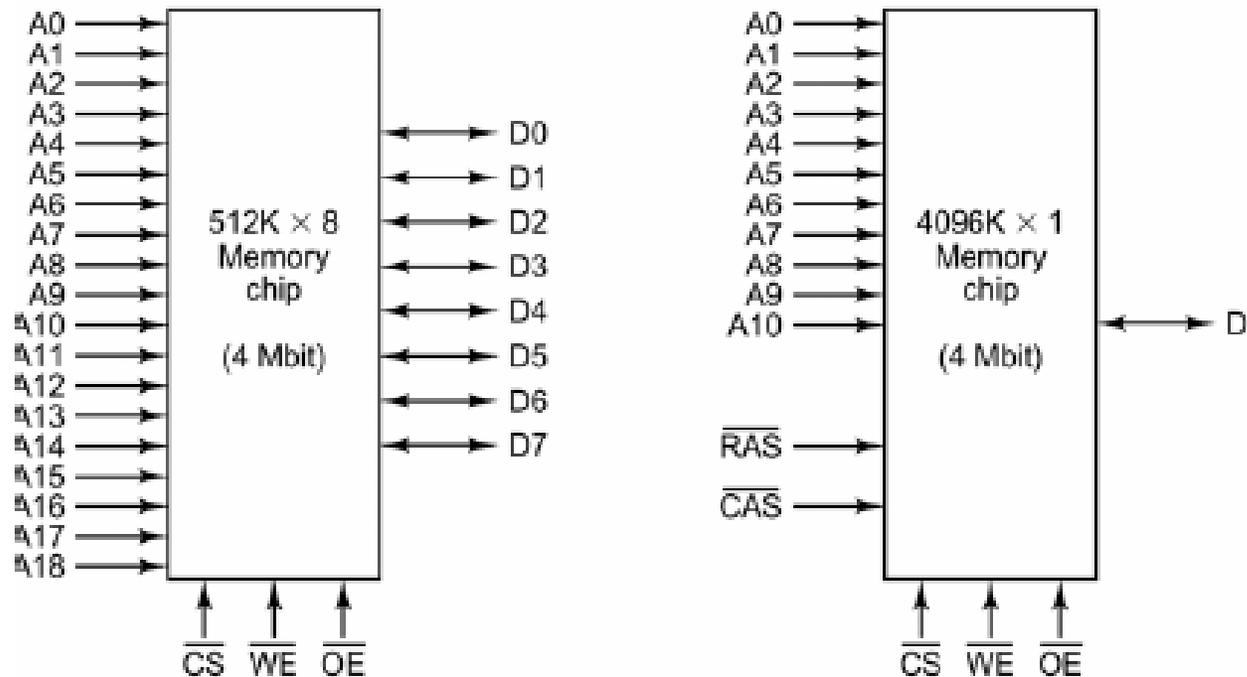
Si adotta la seguente notazione:

- S: segnale che è asserito alto
- \overline{S} : segnale che è asserito basso

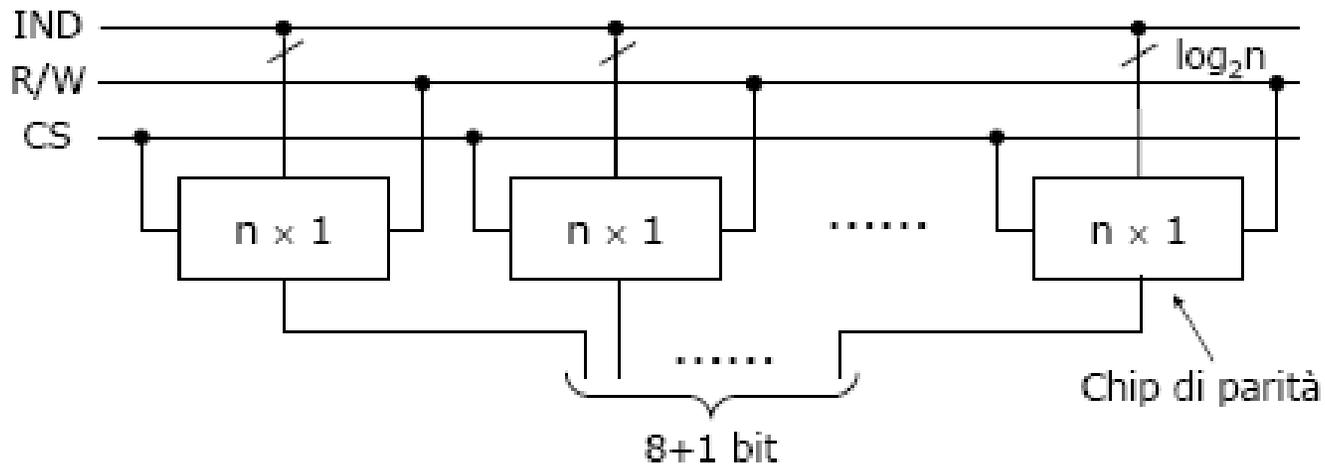
Ulteriore notazione (usata da Intel):

- S: segnale che è asserito alto
- S#: segnale che è asserito basso
 - (adatta al set di caratteri ASCII)

Chip di Memoria (esempi)

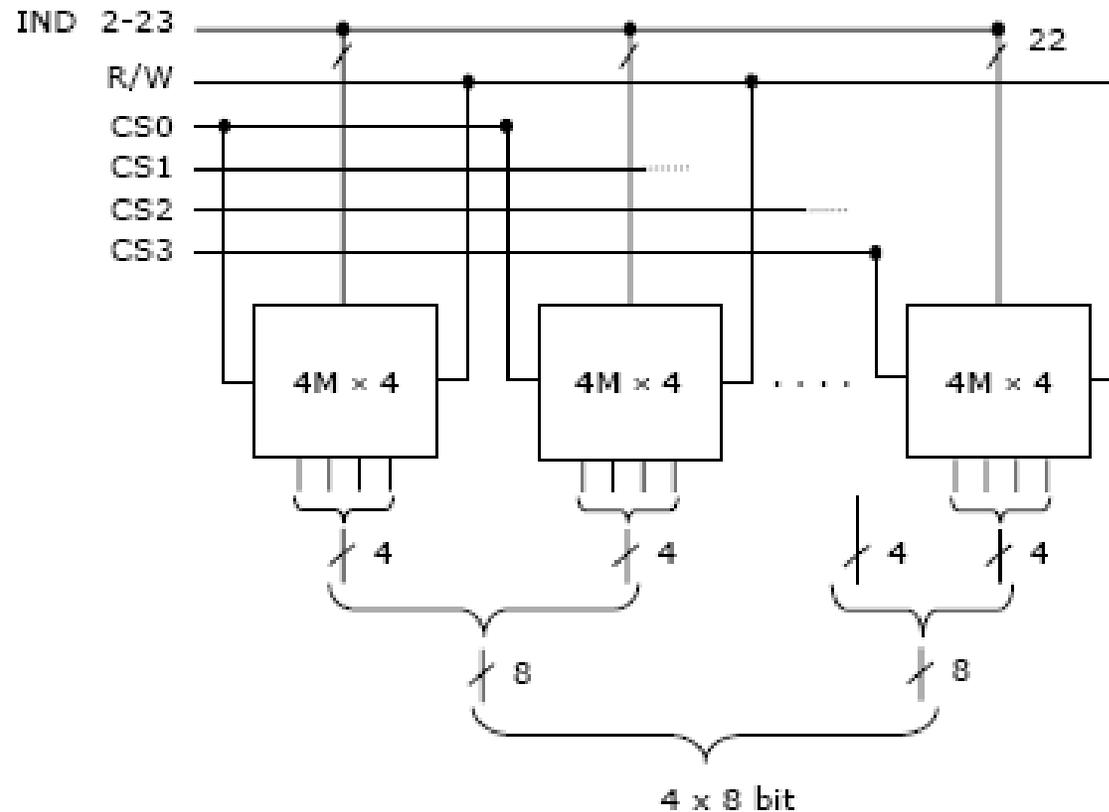


Schede di Memoria

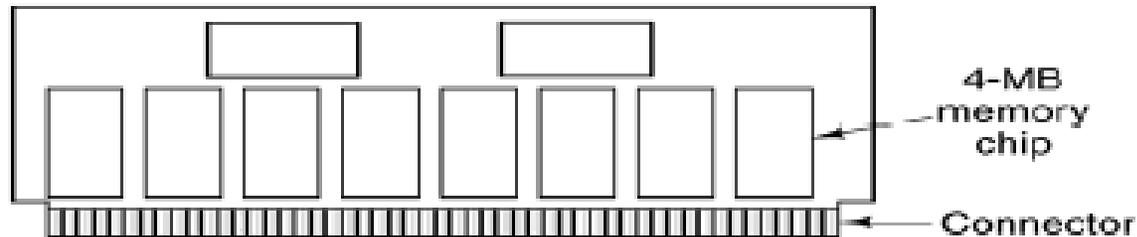


- La scheda memorizza n parole di 1 byte
- Si usano $8+1$ chip se si vuole il controllo di parità
- Bit di parità gestito dal controller della memoria

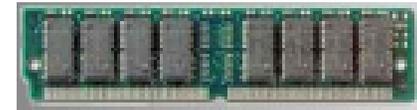
SIMM da 16 Mbyte (8 chip da 4M x 4bit)

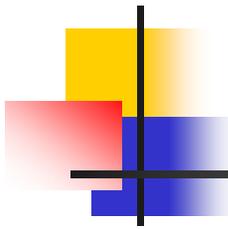


Tipologie schede memoria



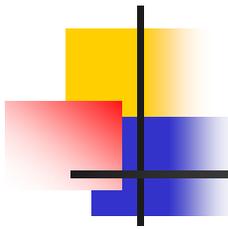
- SIMM (Single Inline Memory Module)
 - 72 piedini, 32 bit, 8-16 chip, 32 MByte
 - A coppie nel Pentium (bus dati 64 bit)
- DIMM (Double Inline Memory Module)
 - 168 (184) piedini, 64 bit, 16 chip, 128 MByte
- Il controller può gestire più SIMM (o DIMM)
- Ogni SIMM informa il controller della sua dimensione (segnali su certi piedini)
- Il controller determina al momento del boot il tipo di RAM (e.g. EDO)
- Dall'indirizzo e dalla configurazione il controller calcola a quale SIMM mandare il segnale di Chip Select





Tassonomia delle RAM e ROM

- RAM (Random Access Memory)
- ROM (Read Only Memory)
- SRAM (Static RAM): a Flip-Flop, molto veloce ($\sim 5\text{nsec}$)
- DRAM (Dynamic RAM): basata su capacità parassite; richiede refresh, alta densità, basso costo ($\sim 70\text{ nsec}$)
 - FPM: selezione a matrice
 - EDO: (Extended Data Output) lettura in pipeline, più banda
- SDRAM (Synchronous DRAM)
 - Sincrona, prestazioni migliori
- PROM (Programmable ROM)
- EPROM (Erasable PROM) raggi UV
- EEPROM: cancellabile elettricamente
- Flash Memory: tipo di EEPROM, ciclo 100nsec , max 10.000 riscritture



Tipi di RAM e ROM e loro impieghi

Type	Category	Erasure	Byte alterable	Volatile	Typical use
SRAM	Read/write	Electrical	Yes	Yes	Level 2 cache
DRAM	Read/write	Electrical	Yes	Yes	Main memory
ROM	Read-only	Not possible	No	No	Large volume appliances
PROM	Read-only	Not possible	No	No	Small volume equipment
EPROM	Read-mostly	UV light	No	No	Device prototyping
EEPROM	Read-mostly	Electrical	Yes	No	Device prototyping
Flash	Read/write	Electrical	No	No	Film for digital camera