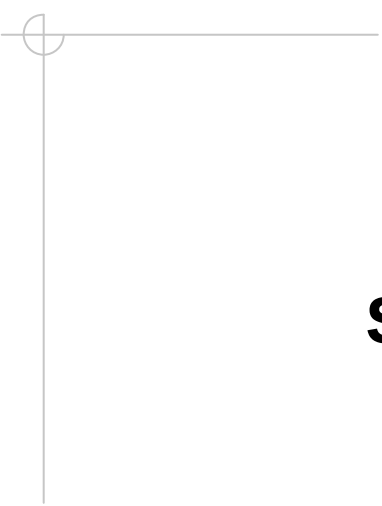


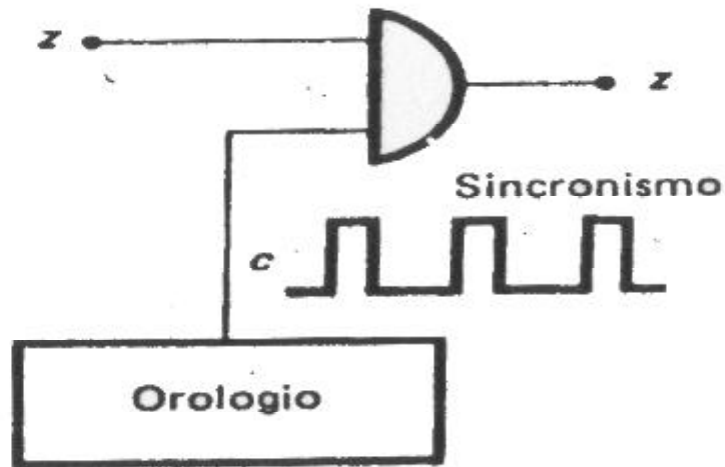


Sintesi di reti logiche sequenziali

Due sono le tipologie di reti logiche che studiamo

- **Reti combinatorie**: il valore dei segnali di uscita della rete al tempo t dipendono solo dal valore dei segnali di ingresso al tempo $t-d$ dove d è il ritardo della rete
- **Reti sequenziali**: il valore dei segnali di uscita della rete al tempo t dipendono da tutti i valori dei segnali di ingresso da $t=0$ al tempo $t-d$ dove d è il ritardo della rete

Segnali a livelli e ad impulsi

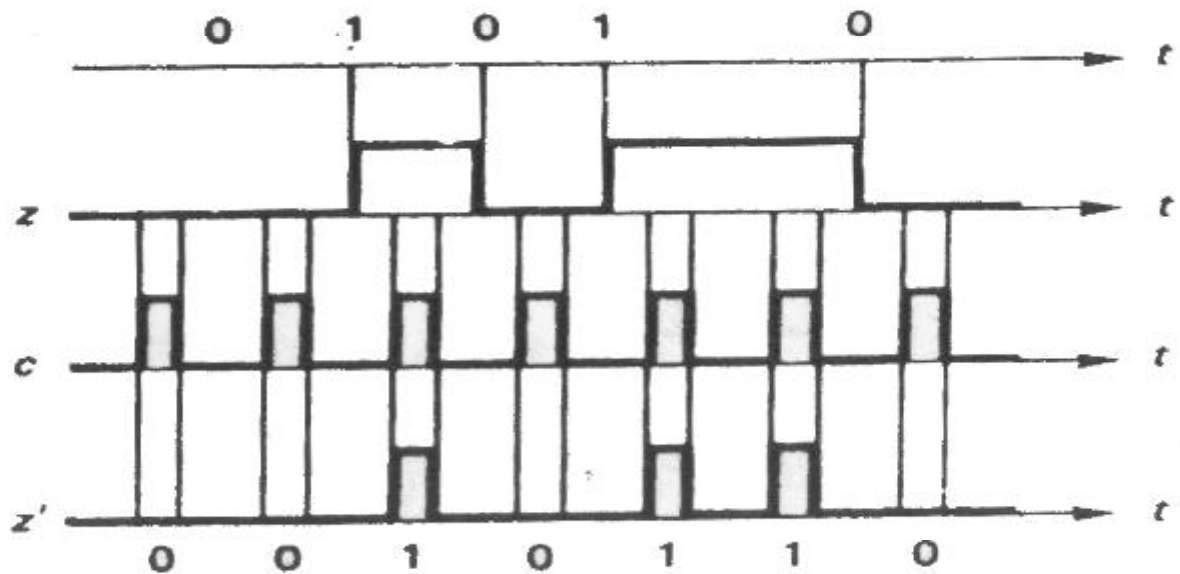


Sequenza logica

Segnale a livelli

Impulsi di sincronismo

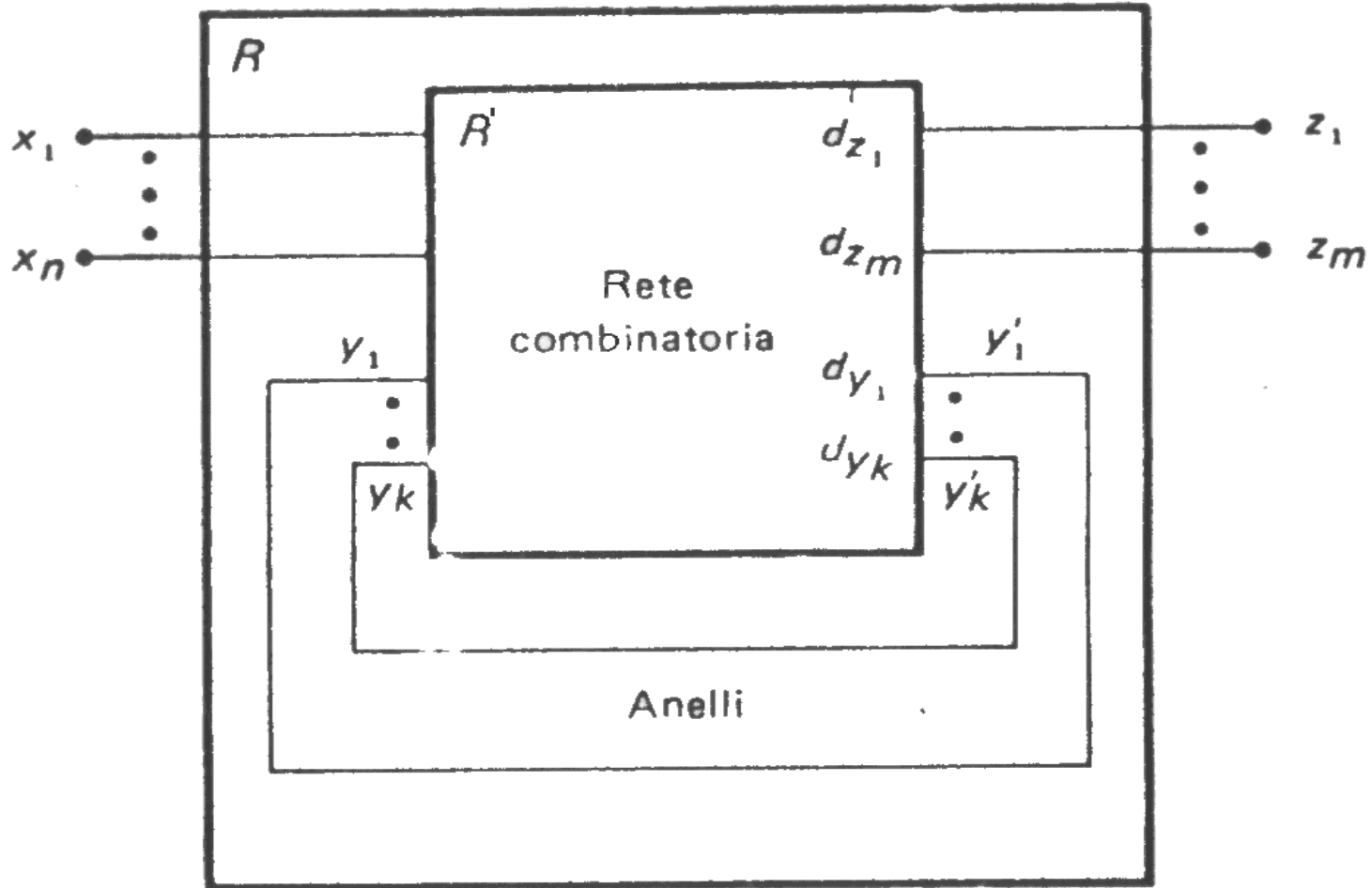
Segnale a impulsi



Una rete logica può funzionare

- **A livelli:** il segnale d'ingresso è mantenuto per un tempo sufficientemente lungo da vedere assumere all'uscita il nuovo valore di regime. Solo dopo tale transazione è possibile cambiare i valori in ingresso.
- **Ad impulsi:** il segnale d'ingresso è mantenuto per un tempo sufficientemente lungo da innescare il funzionamento della rete ma più breve del funzionamento della rete. Nel momento in cui si produce l'uscita la configurazione d'ingresso è posta ad un livello di “riposo” (0 su tutti i morsetti d'ingresso).

Modello generale di rete sequenziale



Formalizzazione della rete sequenziale

La rete **R** ha **n** variabili d'ingresso ($x_1 \dots x_n$) ed **m** variabili d'uscita ($z_1 \dots z_m$).

La rete **R** viene internamente rappresentata come una rete combinatoria **R'** con **k** variabili collegate ad anello ($y_1 \dots y_k$)

$$\mathbf{z}_i(\mathbf{t} + \mathbf{d}_{z_i}) = f_{z_i}(x_1(t), \dots, x_n(t), y_1(t), \dots, y_k(t)) \quad i \leq 1 \leq m$$

$$\mathbf{y}'_j(\mathbf{t} + \mathbf{d}_{y_j}) = f_{y_j}(x_1(t), \dots, x_n(t), y_1(t), \dots, y_k(t)) \quad j \leq 1 \leq k$$

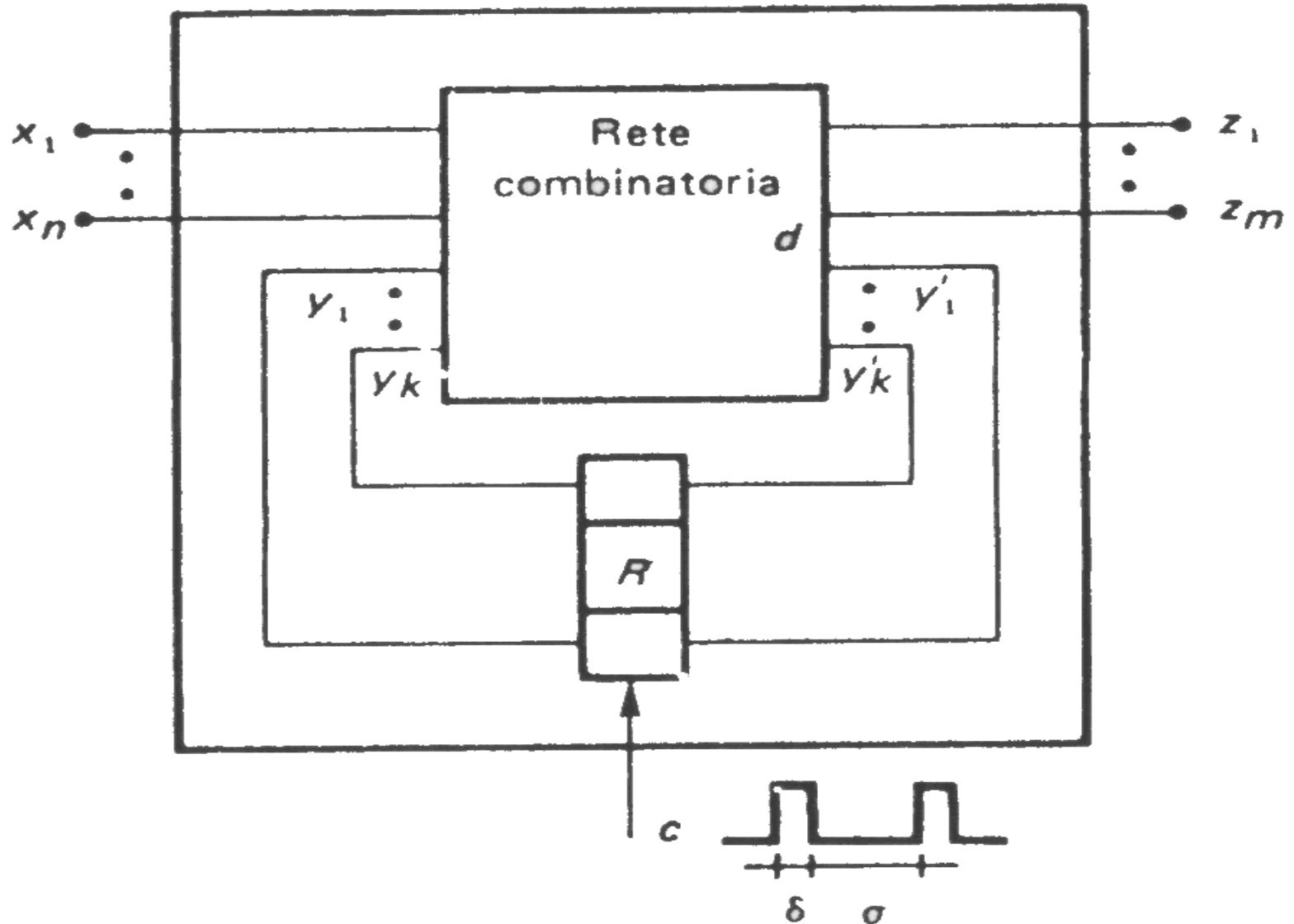
Lo **stato interno** della rete **R** è l'insieme dei valori $y_1 \dots y_k$ mentre il **prossimo stato interno** è l'insieme dei valori $y'_1 \dots y'_k$

Problemi del modello

- Il modello presentato nella figura precedente funziona con segnali a livelli che devono variare uno solo per volta.
- Questo vale sia per $x_1 \dots x_n$ che per $y_1 \dots y_k$, il che significa che la rete va progettata in modo tale da permettere la variazione di una sola variabile d'anello y'_i per volta.
- I valori delle x_i vanno mantenuti costanti fino a che i valori delle variabili d'anello non si siano stabilizzati

Il modello presentato in precedenza è un modello di **rete asincrona**

Modello di rete sequenziale sincrona

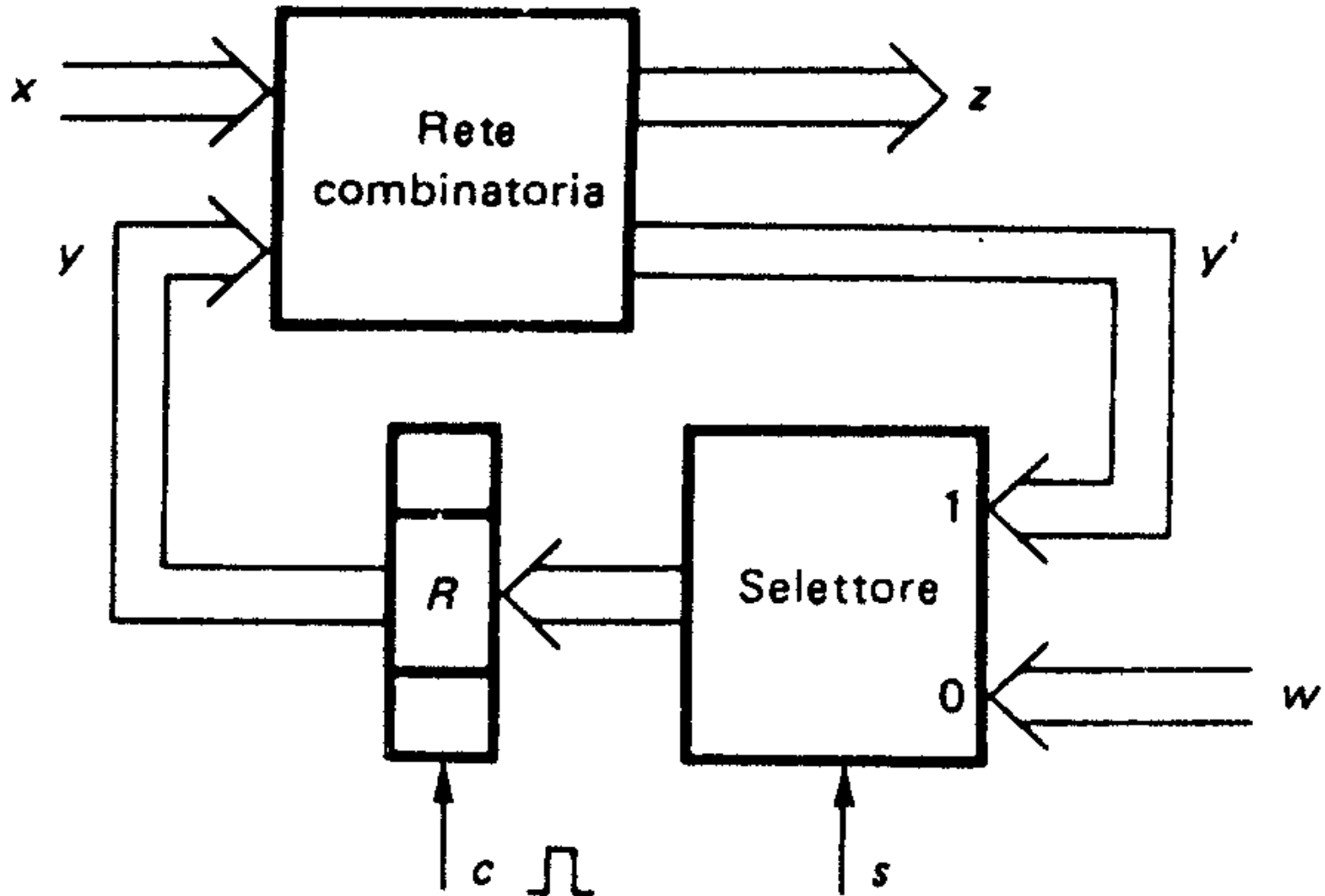


Modello di rete sequenziale sincrona

L'uso di un flip-flop F_c permette di disaccoppiare i valori sulle variabili d'anello dalle variazioni sulle variabili di ingresso. Questo significa che il valore dello **stato interno** rimane costante per un tempo “sufficientemente grande” da permettere la variazione degli ingressi.

Nella rete per fissare uno stato iniziale delle variabili d'anello è possibile inserire un selettore come si può osservare nella figura che segue.

Modello di rete sequenziale sincrona



Automa a stati finiti

Ci permette di descrivere un qualunque problema che evolva in tempi discreti e si possa trovare in un numero finito di stati diversi

Formalizzazione:

- $S = \{S_1, \dots, S_k\}$ è l'insieme degli stati interni; uno di essi è lo stato iniziale.
- $X = \{X_1, \dots, X_p\}$ è l'insieme degli stati di ingresso, ovvero dei segnali applicati dall'esterno.
- $Z = \{Z_1, \dots, Z_q\}$ è l'insieme degli stati di uscita.

Diagramma degli stati

E' un grafo orientato di **h** nodi (il numero degli stati interni); da ogni nodo possono partire **p** archi orientati sui quali è indicato uno stato d'ingresso ed uno stato d'uscita.

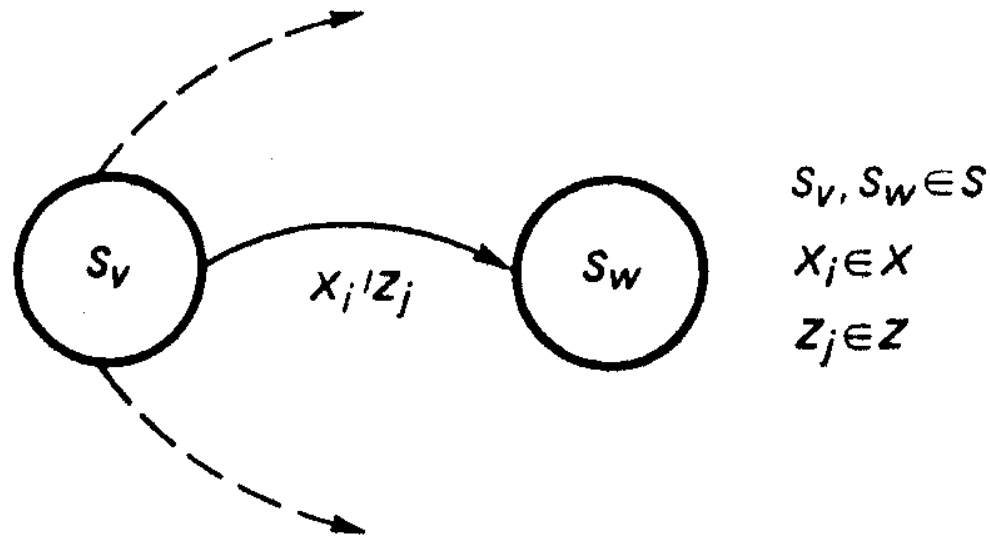
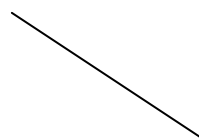


Tabella di flusso

Ad ogni riga corrisponde uno stato interno S_i , ad ogni colonna uno stato di ingresso X_j . In una casella S_i, X_j con $1 \leq i \leq h$ e $1 \leq j \leq p$ è specificato il prossimo stato interno e lo stato di uscita

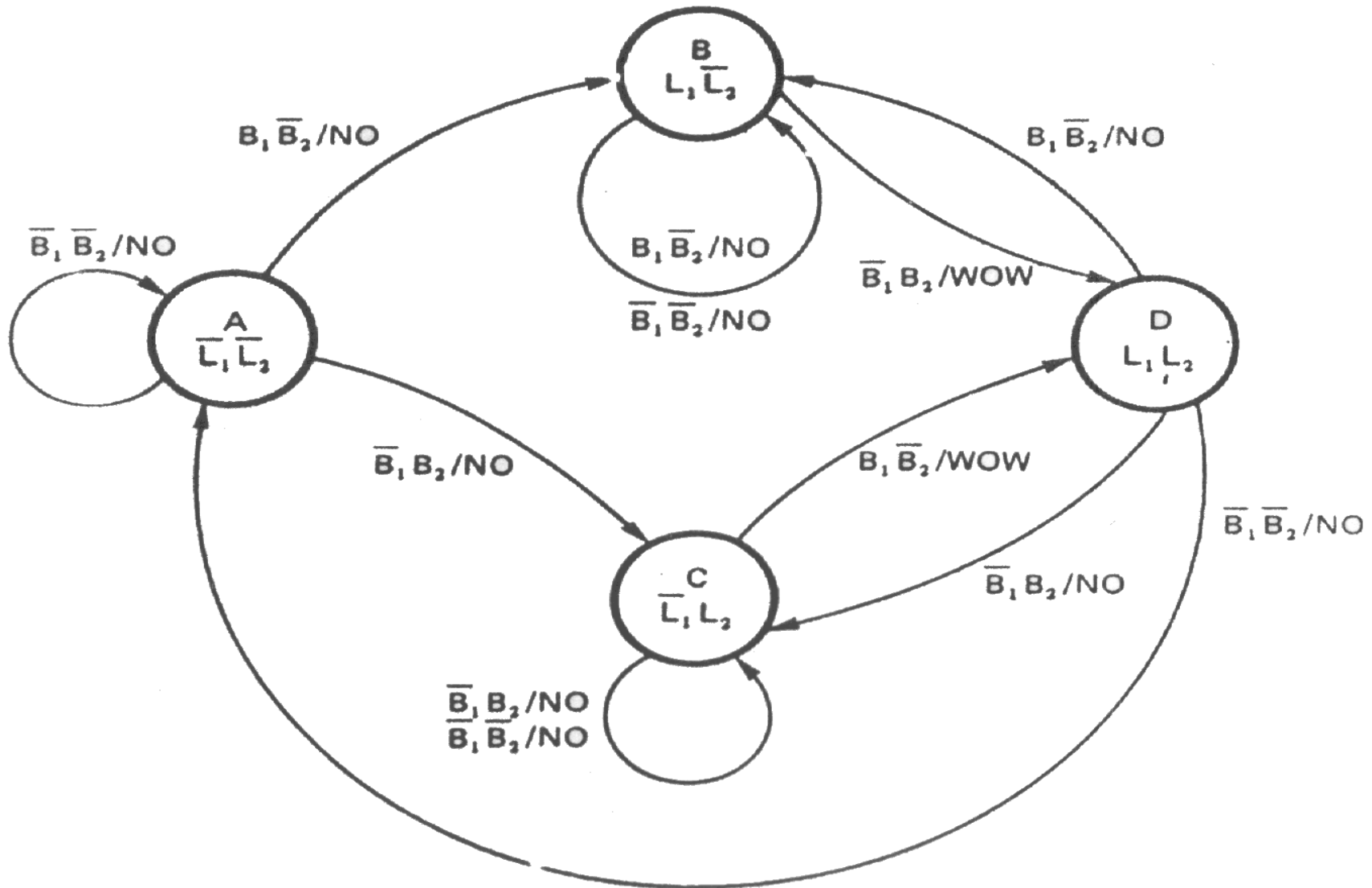


	X_1		X_p
S_1	S_r, Z_t		S_m, Z_f
$\vdots$			
S_h	S_j, Z_i		S_g, Z_l

Modellazione di un flipper

Immaginiamo di avere un flipper in cui la pallina rimane sempre in gioco. Tale flipper ha due buche B_1 e B_2 e due lampadine L_1 ed L_2 . Una lampadina si accende nel momento in cui si manda la pallina nella buca corrispondente. Se si accendono entrambe le lampadine compare sullo schermo del flipper la scritta “WOW”

Flipper – Automa a stati finiti



Flipper – Tabella di flusso

	$B_1\bar{B}_2$	$\bar{B}_1B_2$	$\bar{B}_1\bar{B}_2$
$A(\bar{L}_1\bar{L}_2)$	B, “NO”	C, “NO”	A, “NO”
$B(L_1\bar{L}_2)$	B, “NO”	D, “WOW”	B, “NO”
$C(\bar{L}_1L_2)$	D, “WOW”	C, “NO”	C, “NO”
$D(L_1L_2)$	B, “NO”	C, “NO”	A, “NO”

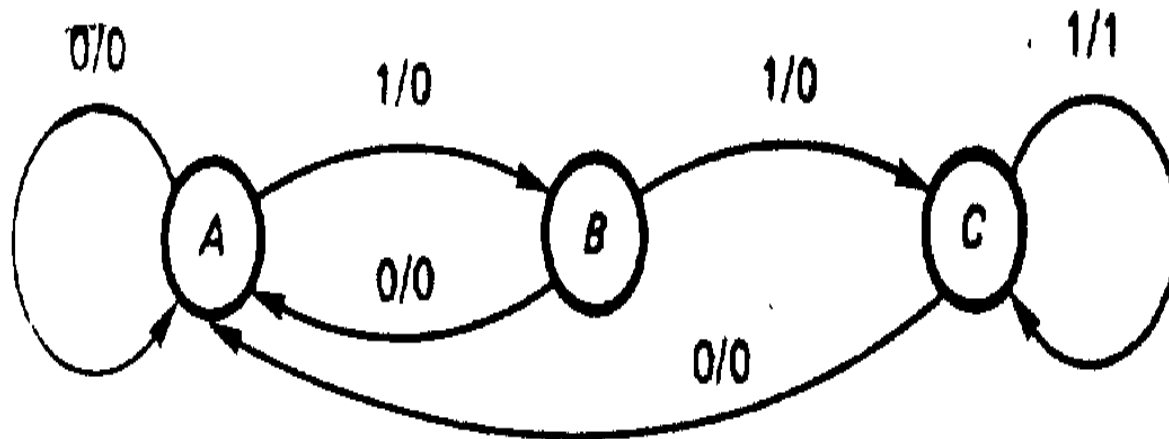
Modellazione di un contatore di tre 1 in ingresso

Immaginiamo di avere una rete sequenziale con un morsetto d'ingresso x ed un morsetto d'uscita z. Il valore di z è 1 solo quando in ingresso su x abbiamo ricevuto per tre volte consecutive un 1.

Ingresso x 0 1 0 1 1 1 1 1 1 0

Uscita z 0 0 0 0 0 1 1 1 1 0

Contatore di tre 1 in ingresso – Progettazione



A: stato iniziale

B: è arrivato un 1

C: sono arrivati due 1

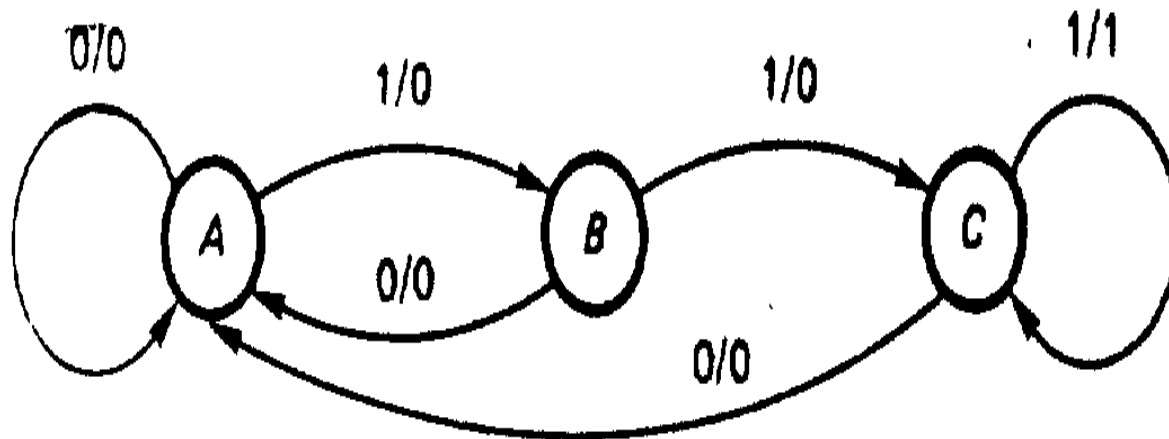
Tabella di flusso

	X=0	X=1
A	A,0	B,0
B	A,0	C,0
C	A,0	C,1

Tabella delle transazioni

y_1y_2	X=0	X=1
00	00,0	01,0
01	00,0	11,0
11	00,0	11,1

Contatore di tre 1 in ingresso – MK



A: stato iniziale

B: è arrivato un 1

C: sono arrivati due 1

MK per y_1'

$y_1 y_2$	X=0	X=1
00	0	0
01	0	1
11	0	1
10	*	*

MK per y_2'

$y_1 y_2$	X=0	X=1
00	0	1
01	0	1
11	0	1
10	*	*

MK per z

$y_1 y_2$	X=0	X=1
00	0	0
01	0	0
11	0	1
10	*	*

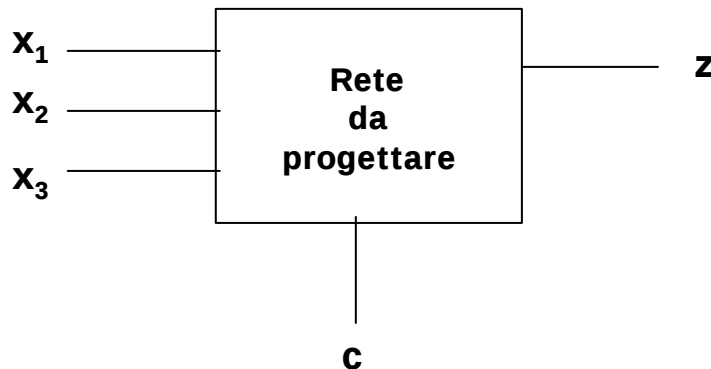
Sintesi di reti sequenziali

La sintesi di una rete sequenziale si riassume nelle fasi che seguono:

- Determinazione del diagramma degli stati dalla descrizione del problema
- Costruzione della tabella di flusso
- Minimizzazione della tabella
- Codifica degli stati interni mediante associazione tra stati e valori delle variabili d'anello
- Costruzione della tabella delle transizioni
- Determinazione delle funzioni di prossimo stato e di uscita attraverso le specificazioni di tali funzioni contenute nella tabella delle transizioni
- Disegno complessivo della rete

Sintesi di un sommatore a 3 ingressi

Vogliamo costruire una rete sequenziale che sommi 3 numeri binari positivi di n bit per n qualsiasi in n istanti di tempo elementari. I numeri da sommare vengono presentati contemporaneamente su tre ingressi (x_1 , x_2 , x_3) a partire dal bit meno significativo.



Rip. 2	1		1			
Rip. 1			1		1	
x_1	1	1	1	1	1	1
x_2	1	1	1	1	1	1
x_3	1	1	1	1	1	1
somma			1	1	0	1

Diagramma degli stati

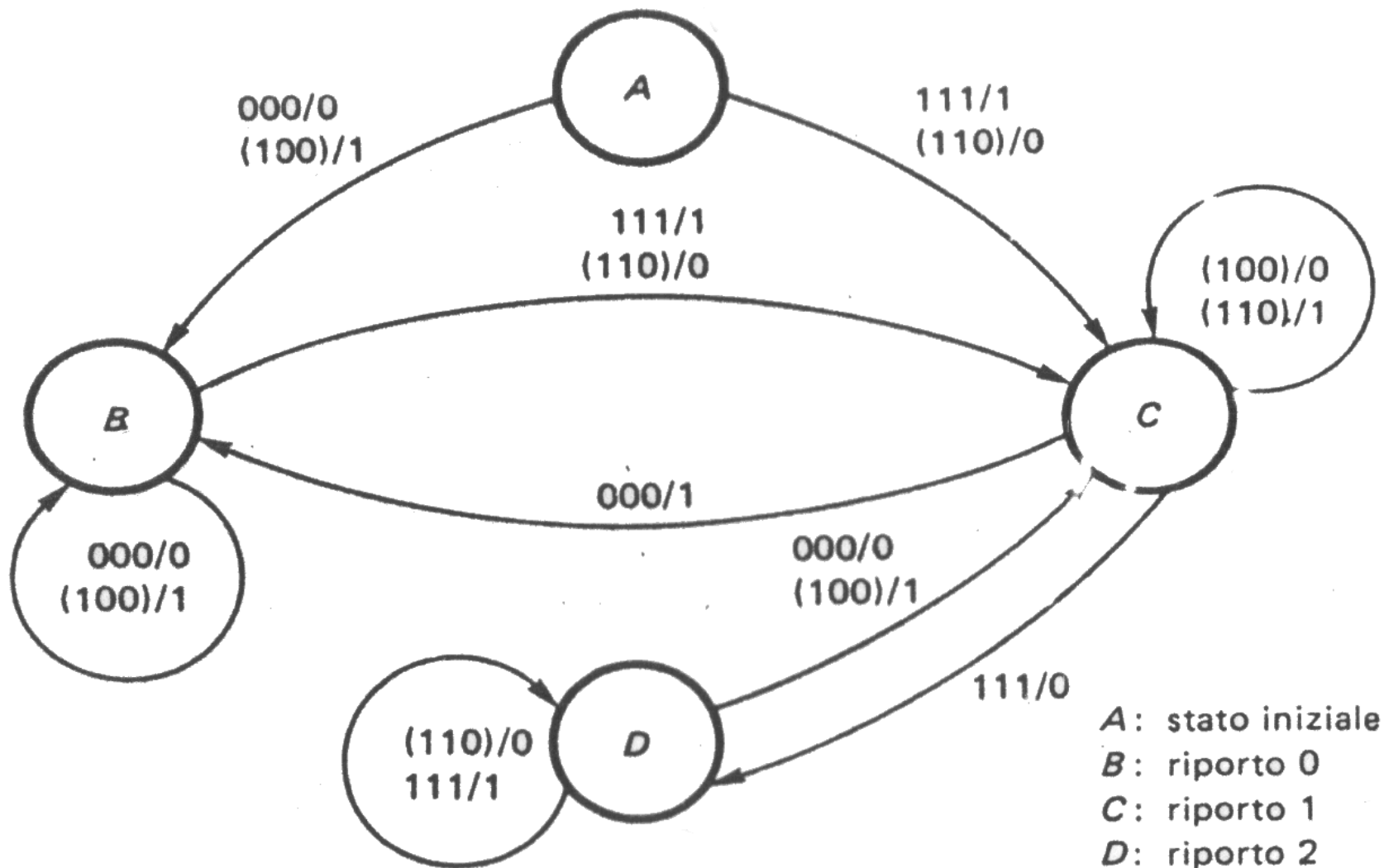
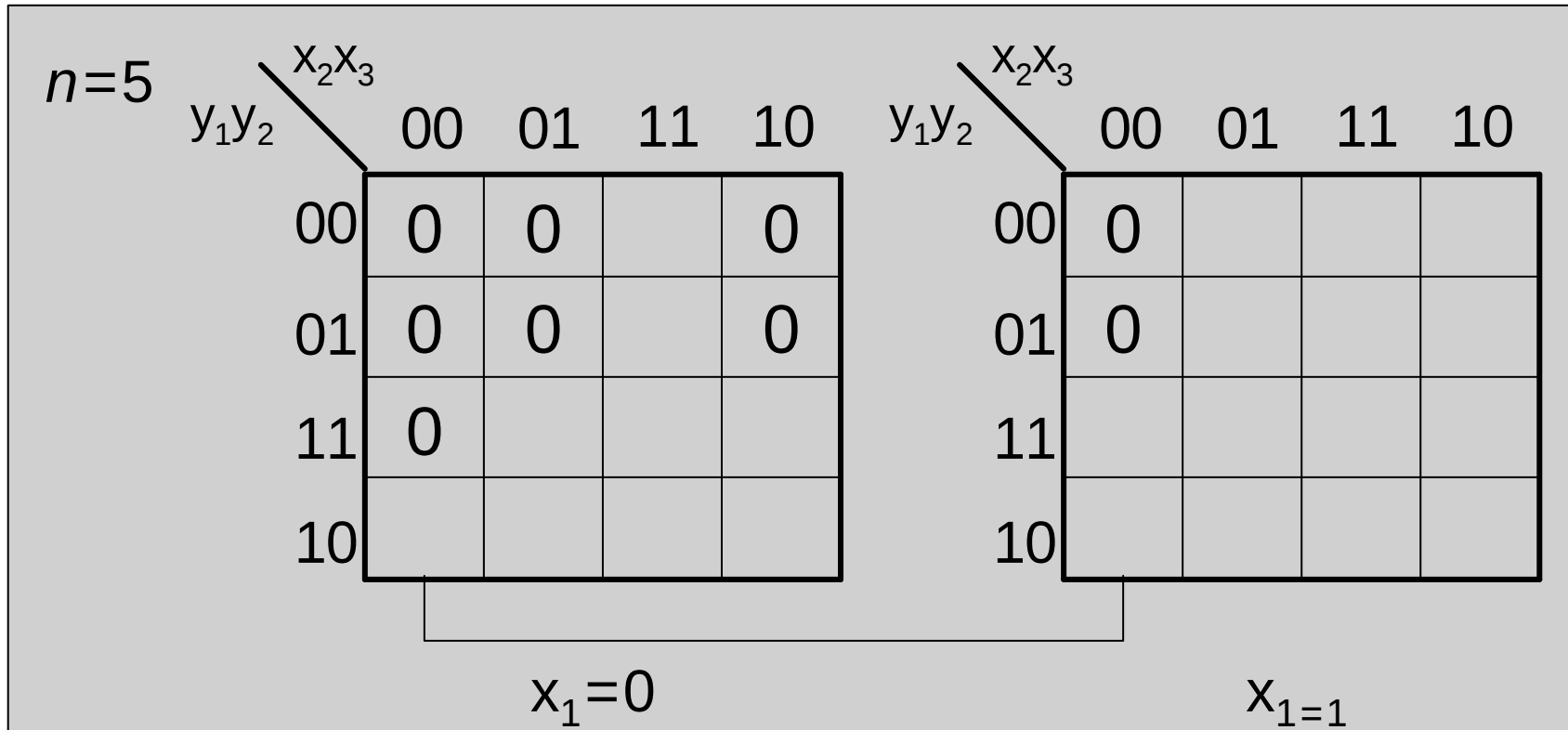


Tabella delle transazioni

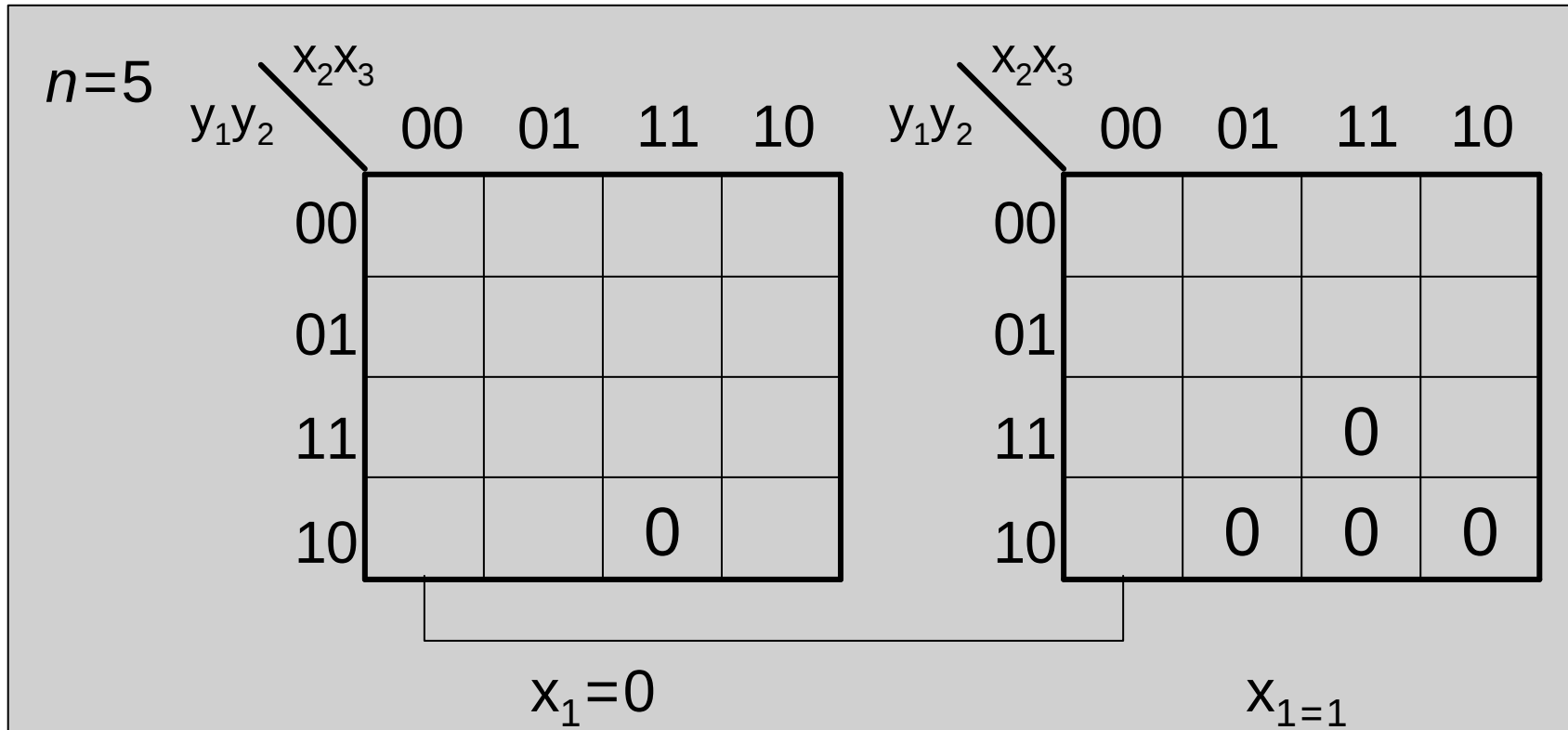
 $x_1x_2x_3$
 y_1y_2

	000	001	011	010	100	101	111	110
00	01,0	01,1	11,0	01,1	01,1	11,0	11,1	11,1
01	01,0	01,1	11,0	01,1	01,1	11,0	11,1	11,0
11	01,1	11,0	11,1	11,0	11,0	11,1	10,0	11,1
10	11,0	11,1	10,0	11,1	11,1	10,0	10,1	10,0

Primo riporto: y_1'



Secondo riporto: y_2'



Uscita (somma): z

